

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-111992

(43)公開日 平成11年(1999)4月23日

(51)Int.Cl.⁸

H01L 29/786

21/336

識別記号

F I

H01L 29/78

616S

613A

616J

審査請求 未請求 請求項の数10 OL (全 14 頁)

(21)出願番号 特願平9-267358

(22)出願日 平成9年(1997)9月30日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 原田 望

埼玉県深谷市幡羅町1丁目9番2号 株式会社東芝深谷電子工場内

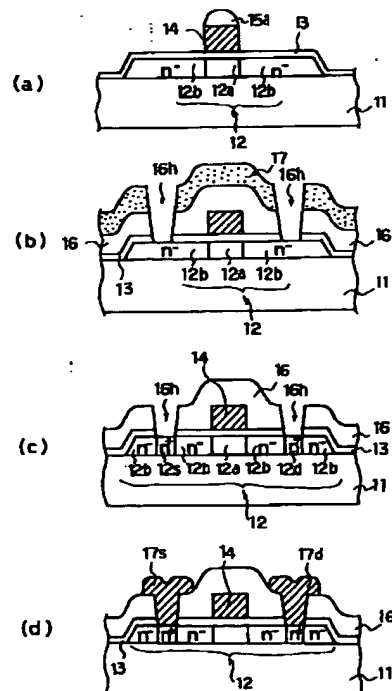
(74)代理人 弁理士 須山 佐一

(54)【発明の名称】 薄膜トランジスタ、相補型薄膜トランジスタ、および薄膜トランジスタの製造方法

(57)【要約】

【課題】 高集積化に適し、生産性の高い構造を有する薄膜トランジスタを提供する。

【解決手段】 本発明の薄膜トランジスタは、イントリンシックなチャネル領域12aと、第1の濃度で不純物が添加され、チャネル領域12aを挟むように配設されたLDD領域12bと、LDD領域12b内に配設され、第1の濃度よりも大きい第2の濃度で不純物が添加されたコンタクト領域であるソース領域12s、ドレイン領域12dとを有する半導体膜12と、半導体膜12のチャネル領域12aおよびLDD領域12b上に、ソース領域12sとドレイン領域12dに開口部を有するように配設されたゲート絶縁膜13と、ゲート絶縁膜13を介して半導体膜12のチャネル領域12aと対向するように配設されたゲート電極14と、半導体膜12のソース領域12s、ドレイン領域12dに開口部を有するようにゲート電極14およびゲート絶縁膜13を覆うように配設された層間絶縁膜16と、半導体膜12のソース領域12s、ドレイン領域12dと接合したソース・ドレイン電極17s、ドレイン電極17dとを具備する。



【特許請求の範囲】

【請求項1】 第1の領域と、第1の濃度で不純物が添加され、前記第1の領域を挟むように配設された第2の領域と、前記第2の領域内に配設され、前記第1の濃度よりも大きい第2の濃度で前記不純物が添加された第3の領域とを有する半導体膜と、

前記半導体膜の前記第1の領域および前記第2の領域上に、前記第3の領域に開口部を有するように配設されたゲート絶縁膜と、

前記ゲート絶縁膜を介して前記半導体膜の前記第1の領域と対向するように配設されたゲート電極と、

前記半導体膜の前記第3の領域に開口部を有するように前記ゲート電極および前記ゲート絶縁膜を覆うように配設された層間絶縁膜と、

前記半導体膜の前記第3の領域と接合したソース・ドレイン電極とを具備したことを特徴とする薄膜トランジスタ。

【請求項2】 前記半導体膜の前記第3の領域と前記ソース・ドレイン電極との間に配設されたシリサイド層をさらに具備することを特徴とする請求項1に記載の薄膜トランジスタ。

【請求項3】 前記層間絶縁膜は、前記半導体膜と反対側に前記不純物が添加された領域を有することを特徴とする請求項1乃至請求項2のいずれかに記載の薄膜トランジスタ。

【請求項4】 前記層間絶縁膜の前記半導体膜と反対側に面には、前記不純物を含有するとともに、前記層間絶縁膜および前記ゲート絶縁膜よりも高濃度でアルカリ元素を含有するアルカリトラップ層をさらに具備したことを特徴とする請求項1乃至請求項3のいずれかに記載の薄膜トランジスタ。

【請求項5】 前記半導体膜は多結晶質シリコンからなることを特徴とする請求項1乃至請求項4のいずれかに記載の薄膜トランジスタ。

【請求項6】 少なくとも表面が絶縁性を呈する基板と、

前記基板上に配設され、第1の領域と、第1の濃度でn型不純物が添加され、前記第1の領域を挟むように配設された第2の領域と、前記第2の領域内に配設され、前記第1の濃度よりも大きい第2の濃度で前記n型不純物が添加された第3の領域とを有する第1の半導体膜と、前記基板上に配設され、第4の領域と、第3の濃度でp型不純物が添加され、前記第4の領域を挟むように配設された第5の領域と、前記第5の領域内に配設され、前記第3の領域とほぼ等しい濃度で前記n型不純物が添加されるとともに、前記第1の濃度および前記第3の濃度よりも大きい第4の濃度で前記p型不純物が添加された第6の領域とを有する第2の半導体膜と、

前記第1の半導体膜の前記第1の領域および前記第2の領域上に前記第3の領域に開口部を有するように、かつ

前記第2の半導体膜の前記第4の領域および前記第5の領域上に前記第6の領域に開口部を有するように配設されたゲート絶縁膜と、

前記ゲート絶縁膜上を介して前記第1の半導体膜の前記第1の領域と対向するように配設された第1のゲート電極と、

前記ゲート絶縁膜上を介して前記第2の半導体膜の前記第3の領域と対向するように配設された第2のゲート電極と、

前記第1の半導体膜の前記第3の領域および前記第2の半導体膜の前記第6の領域に開口部を有して前記ゲート絶縁膜を覆うように配設された層間絶縁膜と、前記第1の半導体膜の前記第3の領域で前記第1の半導体膜と接合した第1のソース・ドレイン電極と、

前記第2の半導体膜の前記第6の領域で前記第2の半導体膜と接合した第2のソース・ドレイン電極とを具備したことを特徴とする相補型薄膜トランジスタ。

【請求項7】 少なくとも表面が絶縁性を呈する基板上に第1の領域と、前記第1の領域を挟持する第2の領域とを有する半導体膜を形成する工程と、

前記半導体膜を覆うようにゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上の前記半導体膜の第1の領域と対応する領域にゲート電極と形成する工程と、

前記ゲート電極をマスクとして前記半導体膜に第1の濃度で不純物を添加する工程と、

前記ゲート電極および前記ゲート絶縁膜を覆うように層間絶縁膜を形成する工程と、

前記半導体膜の前記第2の領域内に開口部を有するように前記層間絶縁膜および前記ゲート絶縁膜をパターニングする工程と、

前記半導体膜の前記開口部に露出した領域に前記第1の濃度よりも高い第2の濃度で不純物を添加する工程と、前記開口部に露出した前記半導体膜と接合するようにソース・ドレイン電極を形成する工程とを有することを特徴とする薄膜トランジスタの製造方法。

【請求項8】 少なくとも表面が絶縁性を呈する基板上に第1の領域と、前記第1の領域を挟持する第2の領域とを有する半導体膜を形成する工程と、

前記半導体膜を覆うようにゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上の前記半導体膜の第1の領域と対応する領域にゲート電極と形成する工程と、

前記ゲート電極をマスクとして前記半導体膜に第1の濃度で不純物を添加する工程と、

前記ゲート電極および前記ゲート絶縁膜を覆うように層間絶縁膜を形成する工程と、

前記半導体膜の前記第2の領域内に開口部を有するように前記層間絶縁膜および前記ゲート絶縁膜をパターニングする工程と、

前記半導体膜の前記開口部に露出した領域に前記第1の濃度よりも高い第2の濃度で不純物を添加するとともに、前記層間絶縁膜の前記半導体膜と反対側に前記不純物イオンが添加されたトラップ層を形成する工程と、前記基板を加熱して前記層間絶縁膜または前記ゲート絶縁膜に含まれるアルカリ金属を前記トラップ層にトラップする工程と、

前記トラップ層を除去する工程と、

前記開口部に露出した前記半導体膜と接合するようにソース・ドレイン電極を形成する工程とを有することを特徴とする薄膜トランジスタの製造方法。

【請求項9】 前記半導体膜の前記開口部に露出した領域にシリサイド層を形成する工程をさらに具備したことを特徴とする請求項7乃至請求項8に記載の薄膜トランジスタの製造方法。

【請求項10】 前記シリサイド層を形成する工程は、前記第2の濃度で不純物を添加する前に前記半導体膜の前記開口部に露出した領域に金属層を形成し、前記第2の濃度で不純物を添加した後に前記半導体膜と前記金属層とを加熱することを特徴とする請求項7乃至請求項9に記載の薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は電界効果型トランジスタに関し、特に薄膜トランジスタに関する。また本発明は相補型薄膜トランジスタに関する。さらに本発明は薄膜トランジスタの製造方法に関する。

【0002】

【従来の技術】半導体素子は、薄膜トランジスタ、密着センサ、光電変換素子をはじめとして様々な分野で大量に用いられている。

【0003】シリコンからなる半導体膜をチャンネルに用いた薄膜トランジスタを、キャリア走行層（活性層）の構成材料から分類すると、非晶質シリコン（アモルファスシリコン：a-Si）からなる半導体膜を用いたものと、結晶相を有する非単結晶の結晶質シリコン（多結晶（ポリ）シリコン：poly-Si、または微結晶シリコン：μc-Si）からなる半導体膜を用いたものとに分類することができる。poly-Si、またはμc-Siなどの多結晶質シリコン（非単結晶の結晶質シリコン）からなる半導体膜は、アモルファスシリコンからなる半導体膜と比較してキャリアの移動度が10倍から100倍程度大きいという特徴があり、スイッチング素子の構成材料として非常に優れた特性を有する。

【0004】また多結晶質シリコンを活性層に用いた薄膜トランジスタは高速度動作が可能ことから、近年では、各種論理回路（例えばドミノ論理、CMOSトランシジョンゲート回路）やこれらを用いたマルチプレクサ、EPROM、EEPROM、CCD、RAM、さらに液晶表示装置の駆動回路などを構成するスイッチ

ング素子としても注目されている。例えば液晶表示装置をはじめとする平面型表示装置は、表示部の薄型化が可能で、消費電力が小さいことから、事務機器やコンピュータ等の表示装置あるいは家電製品の表示装置として幅広く用いられている。

【0005】特に、液晶表示装置においては、画素部（画素アレイ）と、走査線信号回路や信号線駆動回路などの周辺駆動回路とを同一の基板上に形成する、いわゆる画素部・駆動回路部一体型の液晶表示装置の研究・開発も精力的に行われている。このような画素部・駆動回路部一体型の液晶表示装置の画素のスイッチング素子、周辺駆動回路のスイッチング素子としてはpoly-Si、μc-Siなどの多結晶質シリコンからなる半導体膜をチャンネルに用いた薄膜トランジスタを用いることが適しており、これにより、液晶表示装置の性能を向上するとともに生産性も向上することができる。

【0006】特に、液晶表示装置においては、画素部（画素アレイ）と、走査線信号回路や信号線駆動回路などの周辺駆動回路とを同一の基板上に形成する、いわゆる画素部・駆動回路部一体型の液晶表示装置の研究・開発も精力的に行われている。このような画素部・駆動回路部一体型の液晶表示装置の画素のスイッチング素子、周辺駆動回路のスイッチング素子としてはpoly-Si、μc-Siなどの多結晶質シリコンからなる半導体膜をチャンネルに用いた薄膜トランジスタを用いることにより、液晶表示装置の性能を向上するとともに生産性も向上することができる。

【0007】その反面、多結晶質シリコンを用いた薄膜トランジスタは、その形成プロセスにおいて非晶質シリコンを用いた薄膜トランジスタと比較して高温プロセスを必要とする。このようにpoly-Si、μc-Siなどの多結晶質シリコンからなる半導体膜をチャンネルに用いた薄膜トランジスタは優れた特性を有するが、例えば液晶表示装置のアレイ基板などの薄膜トランジスタアレイなどを作製するには解決しなければならない問題点が多く残されている。特にプロセス温度の低温化、リーク電流の低減、またオフセット構造、LDD構造を採用した場合の薄膜トランジスタの集積度の向上は重要な課題である。

【0008】例えばpoly-Si TFT、μc-Si TFTは、a-Si TFTに比べ移動度は高いが、他方リーク電流（TFTがOFF状態のとき流れてしまう電流）がa-Si TFTに比べ高いという問題を有する。このリーク電流は駆動回路部を構成する場合には特に問題にならないが、画素スイッチングに用いた場合に画質劣化の原因となる。

【0009】poly-Si、μc-Siなどの多結晶質シリコンからなる半導体膜をチャンネルに用いたTFTで駆動回路を構成する際には、通常、動作速度や消費電力等を考慮してCMOS構造（一部はn-chTFT）

を用いて駆動回路を形成する。しかし、 $n\text{-ch}$ のTFTは V_{th} が低く(マイナス側)なりやすく、リーク電流に起因して回路のオン/オフ比が十分にとれないという問題があり、このようなTFTにより例えば液晶表示装置を構成すると、 $n\text{-ch}$ のTFTリーク電流のために、消費電力が増大したり、画素の白ズミ等が生じるという問題がある。

【0010】このような問題を解決する方法の1つとして、半導体膜にLDD(Lightly Doped Drain)とよばれる構造を形成する技術がある。これは特にドレインチャンネル領域とソース・ドレイン領域との間にLDD領域と呼ばれる低濃度不純物領域を形成することによりドレイン近傍集中する電界を緩和するものであるが、LDD構造を形成するために工程が増加し、生産性が低下してしまうという問題がある。これら薄膜トランジスタを低コスト、広いプロセス・マージン、高い信頼性で、かつ高密度に形成することが求められており、生産性を向上するためにはいかにして工程数を削減するかが課題となる。

【0011】図10は従来の薄膜トランジスタの製造方法の例を説明するための図であり、ここでは $n\text{-ch}$ 薄膜トランジスタの製造方法を取り上げて説明する。まず、ガラスなどの絶縁性基板91上に多結晶質シリコンからなる半導体膜92を形成し、この半導体膜92上に、例えば酸化シリコン(SiO_x)などからなるゲート絶縁膜93、さらにゲート電極材料からなる導電性膜を成膜する。そして、フォトリソグラフィ技術により導電性膜をレジスト95aをマスクとしてパターニングしてゲート電極94に成形する。この状態で、ゲート電極94をマスクとして例えばP(リン)などの n 型不純物をイオン注入法、イオンドーピング法などによりゲート絶縁膜93スルーで半導体膜92に添加して低濃度不純物領域である n^- 領域92bを形成する。このときゲート電極94により自己整合的に、チャンネル領域92aと低濃度不純物領域である n^- 領域92bとが形成される(図10(a))。

【0012】次に、ゲート電極94上から、チャンネル領域92aの外側に所定のオフセット幅を持つようにレジスト95bを形成し、このレジスト95bをマスクとして半導体膜92へ n 型不純物をヘビードープし、高濃度 n 型不純物領域であるソース領域92sおよびドレイン領域92dを形成する(図10(b))。

【0013】続いてレジスト95bを除去し、ゲート電極94の上側からゲート絶縁膜93上に層間絶縁膜96を成膜する。さらにフォトリソグラフィ技術によりレジスト95cをマスクとして、半導体膜92のソース・ドレイン領域に対応する一部領域の層間絶縁膜96、ゲート絶縁膜93をエッチングしてコンタクトホール96hを形成する(図10(c))。

【0014】その後コンタクトホール96hを介してソ

ース・ドレイン領域92s、92d、と接続するようにソース電極97s、ドレイン電極97dを例えば、Ndを含んだAlなどの金属から形成する。なおゲート電極94は図示しない引き出し電極と接続されている。このような工程により、多結晶質シリコンを半導体膜として用いたLDD構造の薄膜トランジスタが完成する(図10(d))。

【0015】このような薄膜トランジスタにおいては、信頼性を向上するために、ソース領域92s、ドレイン領域92dと、シリコンチャンネル層7間に n^- のLDD領域が配設されている。これにより例えば、 n^+ のドレイン領域近傍に集中する電界を緩和することができ、リーク電流を低減し、さらに信頼性を向上することができる。

【0016】しかしながら、このようなLDD構造を形成するためには、通常のソース・ドレイン領域の他に、さらに低濃度不純物領域を形成する必要がある。このためフォトエッチングの工程数が増加してしまい、薄膜トランジスタの製造の生産性を低下させる原因となっている。また、コンタクト領域であるソース領域92s、ドレイン領域92dに正しくコンタクトホールを形成するために、LDD領域92bと、コンタクトホール96hとの間に露光装置のマスク合わせ精度、加工精度から定まる所定の距離が必要であり、これが薄膜トランジスタの密度化の妨げになっているという問題がある。

【0017】

【発明が解決しようとする課題】本発明はこのような問題を解決するためになされたものである。すなわち本発明は、本発明は生産性が高いLDD構造の薄膜トランジスタを提供することを目的とする。また、薄膜トランジスタアレイの集積化に適したLDD構造の薄膜トランジスタを提供することを目的とする。

【0018】また本発明はLDD構造の薄膜トランジスタの集積度を高めることを目的とする。また本発明はLDD構造の薄膜トランジスタを用いたCMOSなどの論理回路の集積度を高めることを目的とする。

【0019】さらに本発明は、特性が良好で、高集積化に適し、生産性が高い薄膜トランジスタの製造方法を提供することを目的とする。

【0020】

【課題を解決するための手段】このような課題を解決するため、本発明は以下のような構成を採用したものである。

【0021】本発明の薄膜トランジスタは、第1の領域と、第1の濃度で不純物が添加され、前記第1の領域を挟むように配設された第2の領域と、前記第2の領域内に配設され、前記第1の濃度よりも大きい第2の濃度で前記不純物が添加された第3の領域とを有する半導体膜と、前記半導体膜の前記第1の領域および前記第2の領域上に、前記第3の領域に開口部を有するように配設さ

れたゲート絶縁膜と、前記ゲート絶縁膜を介して前記半
 導体膜の前記第1の領域と対向するように配設されたゲ
 ート電極と、前記半導体膜の前記第3の領域に開口部を
 有するように前記ゲート電極および前記ゲート絶縁膜を
 覆うように配設された層間絶縁膜と、前記半導体膜の前
 記第3の領域と接合したソース・ドレイン電極とを具備
 したことを特徴とする。半導体膜としては、例えばp o
 l y - S i、 μ c - S iなどの多結晶質シリコンからな
 る半導体膜を用いるようにしてもよいし、またa - S i
 (アモルファスシリコン) 半導体膜を用いるようにして
 もよく、さらに他の半導体膜を用いるようにしてもよ
 い。また、第1の領域は例えばチャネル領域であり、第
 2の領域はLDD領域であり、第3の領域はソース・ド
 レイン領域(コンタクト領域)である。なおチャネル領
 域はイントリンシックな半導体膜を用いるようにしても
 よいし、LDDよりさらに低濃度の不純物を添加した
 (チャネルドーパ) 半導体膜を用いるようにしてもよ
 い。例えばチャネルドーパなどの技術を用いて、第1の
 領域にも低濃度の不純物を添加すれば、多結晶質シリ
 コンからなる半導体膜を用いる場合でも閾値電圧 V_{th} の制
 御が容易になる。チャネルドーパの場合、例えば半導体
 膜に、単位体積あたりの濃度が約 $1 \times 10^{16} \text{ cm}^{-3}$ ~ 約
 $5 \times 10^{17} \text{ cm}^{-3}$ 程度の低濃度の不純物を添加するよう
 にする。このような低濃度の不純物添加は、例えば、多
 結晶質シリコン半導体膜の先駆膜となるアモルファス半
 導体膜をCVD法などにより成膜する時にp型不純物あ
 るいはn型不純物を材料ガスに混合して形成するよう
 にしてもよい。またイオンドーピング法等により半導体
 膜の一部に不純物を添加した後、ELA法などにより不純
 物を半導体膜全体に拡散させて低濃度にするようにして
 もよい。

【0022】また、前記半導体膜の前記第3の領域と前
 記ソース・ドレイン電極との間には、シリサイド層を配
 設するようにしてもよい。半導体膜とソース・ドレイン
 電極との接合をシリサイド層を介して行うことにより、
 添加した不純物イオンによる低抵抗化と、シリサイド層
 による低抵抗化とを併せて得ることができ、さらに良好
 な接合特性を得ることができる。また、シリサイド層に
 よる低抵抗化による分、ソース・ドレイン領域の添加す
 る不純物濃度を小さくすることができ、生産性が向上す
 る。さらに、不純物の活性化温度を低温化することがで
 きる。

【0023】前記層間絶縁膜は、前記半導体膜と反対側
 に前記不純物が添加された領域を有するようにしてもよ
 い。この領域は層間絶縁膜をマスクとして第3の領域に
 不純物を添加することにより形成するようにしてもよ
 い。また、この不純物が添加された層はガラス層にして
 もよい。そしてこのガラス層は、前記不純物を含有する
 とともに、前記層間絶縁膜および前記ゲート絶縁膜より
 も高濃度でアルカリ元素を含有するようにしてもよい。

このガラス層は例えば層間絶縁膜に不純物をヘビード
 ープすることにより形成するようにしてもよい。さらに、
 加熱処理等により層間絶縁膜、ゲート絶縁膜中のNaな
 どをトラップすることができる。したがって、半導体膜
 にアルカリ金属が悪影響を及ぼすのを防止することがで
 き、薄膜トランジスタの信頼性を向上することができ
 る。

【0024】本発明の相補型薄膜トランジスタは、少な
 くとも表面が絶縁性を呈する基板と、前記基板上に配設
 され、イントリンシックな第1の領域と、第1の濃度で
 n型不純物が添加され、前記第1の領域を挟むように配
 設された第2の領域と、前記第2の領域内に配設され、
 前記第1の濃度よりも大きい第2の濃度で前記n型不純
 物が添加された第3の領域とを有する第1の半導体膜
 と、前記基板上に配設され、第4の領域と、第3の濃度
 でp型不純物が添加され、前記第4の領域を挟むように
 配設された第5の領域と、前記第5の領域内に配設さ
 れ、前記第3の領域とほぼ等しい濃度で前記n型不純物
 が添加されるとともに、前記第1の濃度および前記第3
 の濃度よりも大きい第4の濃度で前記p型不純物が添加
 された第6の領域とを有する第2の半導体膜と、前記第
 1の半導体膜の前記第1の領域および前記第2の領域上
 に前記第3の領域に開口部を有するように、かつ前記第
 2の半導体膜の前記第4の領域および前記第5の領域上
 に前記第6の領域に開口部を有するように配設されたゲ
 ート絶縁膜と、前記ゲート絶縁膜上を介して前記第1の
 半導体膜の前記第1の領域と対向するように配設された
 第1のゲート電極と、前記ゲート絶縁膜上を介して前記
 第2の半導体膜の前記第3の領域と対向するように配設
 された第2のゲート電極と、前記第1の半導体膜の前記
 第3の領域および前記第2の半導体膜の前記第6の領域
 に開口部を有して前記ゲート絶縁膜を覆うように配設さ
 れた層間絶縁膜と、前記第1の半導体膜の前記第3の領
 域で前記第1の半導体膜と接合した第1のソース・ドレ
 イン電極と、前記第2の半導体膜の前記第6の領域で前
 記第2の半導体膜と接合した第2のソース・ドレイン電
 極とを具備したことを特徴とする。

【0025】すなわち本発明の相補型薄膜トランジスタ
 (CMOS) は、上述した本発明の薄膜トランジスタを
 用いて構成したものである。そして、このような構造の
 CMOSは、例えばp - c h薄膜トランジスタのソース
 ・ドレインを形成する際に、まずn - c h薄膜トランジ
 スタのソース・ドレインと同様にn型不純物を添加し、
 この後、このn型不純物を上回るようなp型不純物を添
 加することにより形成するようにしてもよい。このよう
 な構成を採用することにより本発明の薄膜トランジスタ
 は製造工程数を低減することができ、生産性が高い構造
 となる。

【0026】本発明の薄膜トランジスタの製造方法は、
 少なくとも表面が絶縁性を呈する基板上に第1の領域

と、前記第1の領域を挟持する第2の領域とを有する半導体膜を形成する工程と、前記半導体膜を覆うようにゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上の前記半導体膜の第1の領域と対応する領域にゲート電極と形成する工程と、前記ゲート電極をマスクとして前記半導体膜に第1の濃度で不純物を添加する工程と、前記ゲート電極および前記ゲート絶縁膜を覆うように層間絶縁膜を形成する工程と、前記半導体膜の前記第2の領域内に開口部を有するように前記層間絶縁膜および前記ゲート絶縁膜をパターニングする工程と、前記半導体膜の前記開口部に露出した領域に前記第1の濃度よりも高い第2の濃度で不純物を添加する工程と、前記開口部に露出した前記半導体膜と接合するようにソース・ドレイン電極を形成する工程とを有することを特徴とする。本発明の薄膜トランジスタの製造方法では、まずLDD領域を形成し、この後コンタクトホールを介して不純物を添加することにより、ソース・ドレイン領域を形成するものである。したがって、従来の製造方法のようにLDD領域とコンタクト領域との製造プロセスに起因するマージンを小さくすることができ、薄膜トランジスタをコンパクトにすることができる。したがって本発明の薄膜トランジスタの製造方法によれば、集積度の高い薄膜トランジスタアレイを製造することができる。

【0027】また、本発明の薄膜トランジスタの製造方法は、少なくとも表面が絶縁性を呈する基板上に第1の領域と、前記第1の領域を挟持する第2の領域とを有する半導体膜を形成する工程と、前記半導体膜を覆うようにゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上の前記半導体膜の第1の領域と対応する領域にゲート電極と形成する工程と、前記ゲート電極をマスクとして前記半導体膜に第1の濃度で不純物を添加する工程と、前記ゲート電極および前記ゲート絶縁膜を覆うように層間絶縁膜を形成する工程と、前記半導体膜の前記第2の領域内に開口部を有するように前記層間絶縁膜および前記ゲート絶縁膜をパターニングする工程と、前記半導体膜の前記開口部に露出した領域に前記第1の濃度よりも高い第2の濃度で不純物を添加するとともに、前記層間絶縁膜の前記半導体膜と反対側に前記不純物イオンが添加されたトラップ層を形成する工程と、前記基板を加熱して前記層間絶縁膜または前記ゲート絶縁膜に含まれるアルカリ金属を前記トラップ層にトラップする工程と、前記トラップ層を除去する工程と、前記開口部に露出した前記半導体膜と接合するようにソース・ドレイン電極を形成する工程とを有することを特徴とする。この方法では、層間絶縁膜、ゲート絶縁膜の開口部をマスクとして半導体膜のコンタクト領域に不純物イオンを添加する際に、層間絶縁膜の表面近傍にも不純物の添加層を形成する。さらに、この不純物を含んだ絶縁層を加熱処理して、例えば層間絶縁膜、ゲート絶縁膜、半導体膜等に含まれるNaなどのアルカリ金属をトラップするものであ

る。したがって、このように製造した本発明の薄膜トランジスタは、コンパクトであるとともに信頼性の高いものとなる。なお、このトラップ層は取り除くようにしてもよいし、そのまま残しておいてもよい。

【0028】また前記半導体膜の前記開口部に露出した領域にシリサイド層を形成する工程をさらに具備するようにしてもよい。シリサイド層を形成することによりコンタクト領域に添加する不純物の濃度を従来よりも小さくすることができる。したがって活性化に要する時間を短縮し、また活性化のプロセス温度を低減することができる。このシリサイド層を形成する工程は、例えば、前記第2の濃度で不純物を添加する前に前記半導体膜の前記開口部に露出した領域に金属層を形成し、前記第2の濃度で不純物を添加した後に前記半導体膜と前記金属層とを加熱するようにしてもよい。このようにすれば、ソース・ドレイン領域に不純物をドーピングする際に、ドーパントイオンが金属層を半導体膜へノックオンするため、シリサイド層の形成が促進される。また半導体膜とシリサイド層との界面特性も向上する。さらに、シリサイド層の形成に要する加熱温度を低減することもできる。なお、未反応の金属層は除去してもシリサイド層は半導体膜に残留する。

【0029】このような構成を採用することにより、特性が良好で、集積度が高く、しかも生産性が高い薄膜トランジスタ、相補型薄膜トランジスタを提供することができる。また本発明の薄膜トランジスタの製造方法によれば、生産性が高く、集積度の高い薄膜トランジスタアレイを提供することができる。

【0030】

【発明の実施の形態】以下に本発明について図面を参照しながらさらに詳細に説明する。

【0031】（実施形態1）図1は本発明の薄膜トランジスタを説明するための図である。

【0032】この薄膜トランジスタは、イントリンシックなチャネル領域12aと、第1の濃度で不純物が添加され、チャネル領域12aを挟むように配設されたLDD領域12bと、LDD領域12b内に配設され、第1の濃度よりも大きい第2の濃度で不純物が添加されたコンタクト領域であるソース領域12s、ドレイン領域12dとを有する半導体膜12と、半導体膜12のチャネル領域12aおよびLDD領域12b上に、ソース領域12sとドレイン領域12dに開口部を有するように配設されたゲート絶縁膜13と、ゲート絶縁膜13を介して半導体膜12のチャネル領域12aと対向するように配設されたゲート電極14と、半導体膜12のソース領域12s、ドレイン領域12dに開口部を有するようにゲート電極14およびゲート絶縁膜13を覆うように配設された層間絶縁膜16と、半導体膜12のソース領域12s、ドレイン領域12dと接合したソース・ドレイン電極17s、ドレイン電極17dとを具備したもので

ある(図1(d))。このような薄膜トランジスタの製造例について説明する。まず、無アルカリガラス、石英などからなる基板11上に、例えばプラズマエンハンスドCVD法(PECVD法)などによりa-Si半導体膜を成膜する。基板11としては、ガラス基板上に酸化シリコン(SiO_x)、窒化シリコン(SiN_x)などのアンダーコート層を成膜して用いるようにしてもよい。エキシマーレーザーアニール法(ELA法)などにより、基板11上に成膜した先駆膜であるa-Si半導体膜を瞬時溶融、再結晶させてpoly-Si、μc-Siなどの多結晶質シリコンからなる半導体膜12を形成する。

【0033】について、島状にパターンニングされた多結晶質シリコンからなる半導体膜12上に酸化シリコン(SiO_x)からなるゲート絶縁膜13を成膜し、ついでゲート絶縁膜13上に、ゲート電極材料からなる導体薄膜を成膜する。成膜した導体薄膜上に、レジスト15を積層し、フォトリソグラフィ技術等によりパターンニングしてゲート電極14を形成する。

【0034】そして、パターンニングしたゲート電極14をマスクとして、例えばP(リン)などのn型不純物をイオン注入法、イオンドーピング法などにより、多結晶質シリコンからなる半導体膜12にゲート絶縁膜13スルーで添加する。このとき、チャネル領域12aと低濃度不純物領域であるn⁻のLDD領域12bとはゲート電極12により自己整合的に形成される(図1(a))。

【0035】LDD領域を形成した後、ゲート電極14の上側から層間絶縁膜16を被覆し、さらにレジスト15bを積層してフォトリソグラフィ技術によりパターンニングし、このレジスト15bをマスクとして層間絶縁膜16、ゲート絶縁膜13をRIE法などによりエッチングし、LDD領域12b内の所定領域に開口を有するようなコンタクトホールを形成する(図1(b))。

【0036】について、コンタクトホール形成に用いたレジスト15bを除去した状態で、半導体膜12のLDD領域12b内のコンタクトホール16hに露出した領域に、例えばP(リン)などのn型不純物をイオンドーピング法、イオン注入法などにより高濃度に添加する。この不純物ドーピングにより、LDD領域12bのうち、コンタクトホール16hに対応した領域にn⁺のコンタクト領域(ソース・ドレイン領域)が形成される(図1(c))。

【0037】その後、層間絶縁膜16上から例えばAl、MoWなどの金属をスパッタ法などにより、コンタクトホールを通じて半導体膜12のコンタクト領域であるソース領域12s、ドレイン領域12dと接合するように堆積させる。そして堆積した金属層をパターンニングすることによりソース電極17s、ドレイン電極17dを形成する。なおこのとき併せてソース電極17s、ド

レイン電極17dと接続した配線パターン、あるいはゲート電極と接続する配線パターン等もパターンニングするようにすればよい。なお、金属層を堆積する前に、コンタクトホールを介して不純物イオンをヘビードープした領域にレーザー光などを照射して活性化を行うようにしてもよい。このような工程により本発明の薄膜トランジスタが完成する。

【0038】本発明の薄膜トランジスタにおいては、図10に例示した従来の薄膜トランジスタのように、不要なコンタクト領域を形成する必要がない。またヘビードープされたソース領域17s、ドレイン領域17dも少ないので、活性化も容易になる。したがって、本発明の薄膜トランジスタは生産性が高く、低コストで提供することができる。

【0039】(実施形態2)図2は本発明の薄膜トランジスタと従来の薄膜トランジスタの平面構造を説明するための図である。比較のため、従来のLDD構造の薄膜トランジスタの平面構造を図2(a)に、本発明のLDD構造の薄膜トランジスタの平面構造を図2(b)に示している。

【0040】従来の薄膜トランジスタでは図2(b)に示すようにゲート電極94の両側の半導体層92にn⁻のLDD領域92bが所定の幅L₁で形成されており、その外側にソース領域92s、ドレイン領域92dが形成されており、このソース領域92s、ドレイン領域92dの一部に開口部を有するコンタクトホール96hが形成されている。このコンタクトホール96hはフォトリソグラフィ技術により、露光装置を用いたn⁻のLDD領域92bとコンタクトホールのマスク合わせにより形成するため、形成されるn⁺のソース領域92s、ドレイン領域92dとコンタクトホール端との間に、パターンニング工程でのズレなどに対応するためのマージンとして、所定の幅L_nを確保している。すなわち、この幅L_nによってマスク合わせズレ、加工精度のばらつきなどが生じたとしても、コンタクトホールが常に、不純物イオンがヘビードープされたソース領域92s、ドレイン領域92d上に形成されるため、良好なダイオード特性を有するコンタクト領域を得ることができる。

【0041】これに対して本発明の薄膜トランジスタにおいては図2(b)に示したように、コンタクトホール16hと、ソース領域12sおよびドレイン領域12dとが自己整合的に形成されているためのマージンL_nを不要とすることができる。例えば、従来の薄膜トランジスタでは薄膜トランジスタのチャネル長L_cを約4μm、LDD領域の幅L₁を約2μmとした場合、コンタクトホールとソース・ドレイン領域との位置合わせマージンの幅L_nは約2μm程度に設定する必要がある。本発明の薄膜トランジスタの構造を採用することにより、実際のチャネル領域12aと、コンタクト領域であるソース領域12sおよびドレイン領域12dとをLDD領

域12bのうち幅Lnだけを介して配設することができる。このためチャネル領域12aとコンタクト領域との間隔を小さくすることができ、薄膜トランジスタをよりコンパクトに形成することができる。したがって、例えば液晶表示装置の駆動回路をはじめとする各種の薄膜トランジスタアレイをより高い集積度で形成することができる。

【0042】(実施形態3)図3は本発明の薄膜トランジスタの構造の別の例を概略的に示す図である。図3(a)は図3(b)に例示した本発明の薄膜トランジスタの製造中の構造を示している。

【0043】例えば、実施形態1で説明した図1(c)において、コンタクトホール16hの開口部に露出した多結晶質シリコンからなる半導体膜12にP(リン)などの不純物を添加してn⁺のコンタクト領域であるソース領域12s、ドレイン領域12dを形成する際に、同時に層間絶縁膜16の表面にも不純物をヘビードープして、高濃度にリン(P)を含んだアルカリ金属のトラップ層であるリンガラス層19を形成し、その後熱処理を行う。例えばリンガラス層19などのトラップ層は、例えば酸化シリコン(SiO₂)、窒化シリコン(SiNx)またはこれらの積層構造、混合構造中に例えばPなどのアルカリ捕集能を有する元素、化合物を添加することにより形成するようにすればよい。本発明ではトラップ層であるリンガラス層19は、コンタクト領域であるソース領域12s、ドレイン領域12dに不純物をドーピングする際に、層間絶縁膜16の表面近傍に同時形成することができる。このトラップ層は後工程で除去するようにしてもよいし、そのまま残しておくようにしてもよい。このような構成を採用することによって、層間絶縁膜16、ゲート絶縁膜13中にある例えばNaなどの可動イオンをリンガラス層19中に取り込むことができる。これにより、従来から問題となっていたような薄膜トランジスタの動作中に可動イオンが移動することによって発生するしきい値電圧シフトに伴う信頼性の低下を防止することができる。

【0044】(実施形態4)図4は本発明の薄膜トランジスタの構造のさらに別の例を概略的に示す図である。この薄膜トランジスタは、半導体膜12のソース領域12s、ドレイン領域12dに例えばMoSiなどのシリサイド層21が配設されており、このシリサイド層21を介して半導体膜12とソース電極17s、ドレイン電極17dとが接合している。シリサイド層21は、例えばコンタクトホール16hを穿設した後、Mo等の金属をスパッタ法などにより成膜し、加熱により多結晶質シリコンからなる半導体膜と金属とを反応させて形成するようにしてもよい。またシリサイド層を形成する金属についても、上述したMoに限ることはない。比較的低温でシリサイド層を形成することができる金属としては、例えば、Mg、Ca、Ti、V、Cr、Mn、Fe、C

o、Ni、Zr、Nb、Rh、Pd、Hf、Ta、W、Ir、Pt等があり、いずれを用いるようにしてもよい。

【0045】また、シリサイドターゲットを用いてシリサイド層を形成するようにしてもよい。この場合でも、例えば加熱するなどして多結晶質シリコンからなる半導体膜とシリサイド層との接触抵抗を低減することが好ましい。さらに、シリサイド層21は、コンタクト領域であるソース領域ドレイン領域に不純物イオンをドーピング前に形成するようにしてもよい。このようにすることにより、ドーパントイオンがシリサイド層21、乃至はシリサイド層21を形成するために成膜した金属層をたたくため、シリサイド層21の形成が一層促進され、またより良好なショットキー接合がシリサイド層21と半導体膜12との間に形成される。

【0046】また、例えば多結晶質シリコンと金属とを反応させてシリサイド層を形成する際の温度範囲内であれば、半導体膜中の不純物イオンも併せて活性化するようにしてもよい。このようにすることによりシリサイドによる低抵抗化の効果と、添加された不純物による低抵抗化の効果を得ることができる。シリサイド層および半導体膜に不純物イオンを添加するためには、例えば多結晶質シリコン上にシリサイド層を形成し、この後不純物イオンを注入法、ドーピング法などにより添加するようにすればよい。このとき、シリサイド層中の金属原子がドーパントによりノックオンされた半導体膜にたたき込まれるため、多結晶質シリコンからなる半導体膜とシリサイド層との界面との界面特性が向上する。また、不純物のドーピングは、シリサイドを形成した未反応の金属層が半導体膜上に残した状態で行うようにしてもよい。このような構成を採用することにより、多結晶質シリコンを半導体膜に用いた薄膜トランジスタの製造プロセスの最高温度を低温化することができる。すなわち、多結晶シリコンを半導体膜に用いた薄膜トランジスタの製造プロセス温度の最大値を決めていたn⁺半導体層、p⁺半導体層、n⁻半導体層等のコンタクト領域にドーピングした不純物を従来のように十分に活性化する必要がなくなる。また従来のように大量の不純物を導入する必要もなく、導入した不純物を活性化しなくとも良好な接合が得られる。

【0047】このような構成を採用することにより本発明の薄膜トランジスタにおいては、ソース・ドレイン領域に添加する不純物濃度が低くとも良好なコンタクト抵抗を得ることができる。したがって、従来の薄膜トランジスタの製造工程で特に問題となっていた、不純物の添加に要する時間、添加した不純物の活性化に要する時間を短縮することができ、生産性を大きく向上することができる。さらに、コンタクト領域に添加する不純物イオンが低濃度でも、シリサイド層21により十分に低抵抗なコンタクトが得られるため、活性化温度を低減するこ

とができる。したがって、多結晶質シリコンからなる半導体膜を用いた薄膜トランジスタの生産性を律速していたプロセス温度を低減することができる。

【0048】(実施形態5)図5、図6、図7、図8は本発明の薄膜トランジスタの製造例を説明するための図であり、基板11上に相補的に動作するnチャネル薄膜トランジスタとpチャネル薄膜トランジスタを形成してCMOS回路を構成して例を説明する。図5、図6の(a)~(e)にn-ch薄膜トランジスタの製造工程を、図6、図7の(a)~(e)にp-ch薄膜トランジスタの製造工程をそれぞれ示している。図5、図6、図7、図8に例示した(a)~(e)の各工程は原則的に対応した工程を示している。なお、nチャネル薄膜トランジスタの製造工程は、図5(b)の状態を除いて図1で説明した製造方法と同様である。

【0049】pチャネル薄膜トランジスタでは、図7(a)に示すように図5(a)と同様に島状にパターンニングした多結晶質シリコンからなる半導体膜12、ゲート絶縁膜13を形成した後、ゲート電極14をフォトレジスト15を用いて形成し、リン(P)イオンを添加して、低濃度のn型不純物領域であるLDD領域12bを形成する。次に図5(b)、図7(b)に示すように、nチャネル薄膜トランジスタ上にフォトレジスト15dを被覆させ、例えばB(硼素)などのp型不純物をイオンドーピング法、イオン注入法などにより高濃度に添加して、ソース領域、12mドレイン領域12nを形成する。そして、図5(c)、7(c)に示すようにnチャネル薄膜トランジスタ領域、pチャネル薄膜トランジスタ領域ともに、フォトリソグラフィプロセスにより、層間絶縁膜16、ゲート絶縁膜13に16hを形成する。続いて、これらコンタクトホール16hの開口部に露出した半導体膜12のLDD領域12b(n-ch)、ソース領域12m、ドレイン領域12n(p-ch)に、例えばP(リン)などのn型不純物を高濃度で添加してnチャネル薄膜トランジスタ領域にはn⁺のソース領域12sおよびドレイン領域12dを形成し、一方、pチャネル薄膜トランジスタ領域では高濃度でp型不純物を添加したp⁺領域にさらに高濃度でn型不純物を添加してn⁺/p⁺領域12x、12yを形成する。ここでn⁺/p⁺領域12x、12yには、打ち込まれたn型不純物濃度が既に形成されているp⁺領域12m、12nの不純物濃度より低くなるようにし、その後の熱処理により図6(e)、図8(e)に示すようにpチャネル薄膜トランジスタのコンタクトホール16hの開口部に露出した半導体膜12は高濃度p⁺領域となるようにする。

【0050】その後、Alなどの導体金属を堆積、パターンニングしてソース電極17s、ドレイン電極17d、および図示しない接続配線を形成することによりCMOS構成のnチャネル薄膜トランジスタとpチャネル薄膜トランジスタとを同一基板上に形成することができる。

【0051】このように、pチャネル薄膜トランジスタを形成するときに、高濃度のn型不純物を添加する工程で、その濃度をpチャネル薄膜トランジスタのソース領域12b、ドレイン領域12nのp型不純物濃度より低く設定することで、新たな工程を付加することなくnチャネル薄膜トランジスタのソース領域12s、ドレイン領域12dとpチャネル薄膜トランジスタのソース領域12m、ドレイン領域12nを形成することができる。

【0052】なお、以上説明した各実施形態においては、半導体膜は多結晶質シリコンからなるものに限ることなく、a-Si半導体膜、さらに他の半導体膜を用いるようにしてもよい。またパターンニングはフォトリソグラフィ技術を用いて行う例を説明したが、他のパターンニング技術を用いるようにしてもよい。さらに熱処理工程についても、レーザ照射、加熱炉などを必要に応じて用いるようにすればよい。(実施形態6)図9は本発明の薄膜トランジスタの構造の別の例を説明するための図である。図9(c)に概略的な断面構造を示しており、また図9(a)、図9(b)は製造工程中の構造を示している。

【0053】まず、石英からなる基板11上に、ジシランガスを材料ガスとして減圧CVD法により、膜厚100nmのアモルファスシリコン膜12iを成膜する。成膜は基板温度を約520℃に設定して行った。このアモルファスシリコン膜を成膜後、約620℃で、約20時間程度のアニーリングを窒素雰囲気中で行うことにより再結晶化させpoly-Si半導体膜を得る。このpoly-Si半導体膜12は所定形状にパターンニングされ、電界効果型薄膜トランジスタの活性層となる。なお、a-Si半導体膜からp-Si半導体膜への再結晶化は熱アニールに限ることなく例えばELA法により行うようにしてもよい。また基板11も石英に限らず、ガラス、無アルカリガラス、樹脂などからなるものを用いるようにしてもよい。とくに本発明の薄膜トランジスタは、シリサイド層による金属と半導体膜との接合構造を採用することによりドーピングした不純物の活性化温度を低温化(例えば400℃程度以下)することができるので、ガラス基板や樹脂基板を用いることができる。

【0054】その後、上述同様に減圧CVD法により厚さ約100nmの酸化シリコンからなるゲート絶縁膜13を成膜し、さらにゲート電極14、図示しない配線の材料金属として例えばモリブデンとタンタルの合金からなる金属薄膜14iを約500nmにわたってスパッタリング法などにより作成する。成膜した金属薄膜14iは、ゲート電極14として用いるべく所定の形状に加工される。この加工は、レジストパターンニングの後、4フッ化炭素と酸素ガスの混合ガスによるケミカルドライエッチング法により行うようにしてもよい。

【0055】次にpoly-Si半導体膜12にLDD領域12bとなる部分を形成すべく、ゲート電極14を

17

マスクとしてゲート絶縁膜13をパターンニングする。そしてこの状態で露出している半導体膜12へ不純物をイオンドーピング法、イオン注入法などにより添加する。この例ではn型の薄膜トランジスタを作成するため、P(リン)をドーパントとして単位体積あたり $1.0 \times 10^{17} \text{ cm}^{-3}$ のドーズ量で添加した。

【0056】その後、LDD領域12bに添加した不純物を活性化するために真空(減圧)中で、約880℃、3時間程度のアニーリングを行う。

【0057】さらに、酸化シリコンからなる層間絶縁膜16を減圧CVD法により膜厚約300nmにわたって成膜した後、LDD領域12bの上部の層間絶縁膜16、ゲート絶縁膜13を一部エッチング除去してコンタクトホール16hを形成する。エッチング条件は、 CHF_3 を流量約300sccm、 O_2 を流量約30sccm、反応圧力約7Paでチャンバ内に導入し、投入パワーは約1kW、電極面積は径約400mmφで、エッチング時間は32分に設定した。

【0058】その後、シリサイド層21を形成するため、例えばモリブデンなどの金属層21iをスパッタリング法にて被着させる。成膜した金属層21iと半導体膜12とを例えば350℃～400℃程度に加熱して反応させ、シリサイド層21を家製する。この後、例えばリン酸、硝酸、酢酸、水からなる混酸溶液にて金属層21iをすべてエッチング除去する。すると、LDD領域12bのコンタクトホール16hに対応する部分には、モリブデンとシリコンの合金からなるシリサイド層がエッチングされずに残ることになる。

【0059】また、成膜した金属層21iと半導体膜12とを加熱して反応させる前に、コンタクトホール16hを有する層間絶縁膜16をマスクとして例えばP(リン)などのn型不純物をドーパントとしてヘビードープする。このとき、コンタクトホール16hの開口部に露出した半導体膜12のLDD領域12bには高温でn型不純物が添加されてソース領域12s、ドレイン領域12dが自己整合的に形成されると同時に、ドーパントにより金属層21iの構成原子が半導体膜12内へたたくこまれ、シリサイド層21の形成が促進される。したがって、ドーパントによる低抵抗化の効果とシリサイド層21による低抵抗化の効果とが得られるため、不純物イオンの添加が少なくても、また添加した不純物の活性化温度が400℃程度の低温でも、ソース・ドレイン電極と半導体膜12との十分なコンタクトを得ることができる。したがって薄膜トランジスタの生産性を大きく向上することができる。

【0060】

【発明の効果】以上説明したように、本発明の薄膜トランジスタによれば、LDD構造を採用する一方、チャネル領域とコンタクト領域との間隔を小さくすることができ、薄膜トランジスタをよりコンパクトに形成すること

18

ができる。したがって、例えば液晶表示装置の駆動回路をはじめとする各種の薄膜トランジスタアレイをより高い集積度で形成することができる。

【0061】また、添加する不純物をソース領域、ドレイン領域以外の絶縁層上にも形成して、その後の熱処理等により該絶縁膜にある可動イオンを固定することにより薄膜トランジスタの信頼性を高めることができる。

【0062】また本発明の薄膜トランジスタは、少ない工程数で製造することができる。

【0063】また製造プロセスの低温化を実現することにより例えば液晶表示装置に応用する場合、安価なガラス基板、樹脂基板を用いることができる。また、ガラスの変形を小さくすることができるので、合わせ精度の厳しい装置、例えば高精細な液晶表示装置などを製造する場合にも、ミスアライメントの発生を防止することができ、薄膜トランジスタアレイの高集積化を図ることができる。

【0064】さらに、多結晶質シリコンからなる半導体膜を用いた薄膜トランジスタによりそのスイッチングおよび駆動回路が構成されている液晶表示装置において、LDD構造を有した薄膜トランジスタのソース・ドレイン領域にシリサイドで形成することにより、400℃程度以下の熱プロセスを上限としたプロセスで、薄膜トランジスタの特性として十分な程度までソース・ドレイン抵抗を低減することができる。さらに、本発明によるプロセスに基づき形成される半導体素子は、ゲートリーク特性に優れている。

【図面の簡単な説明】

【図1】本発明の薄膜トランジスタの製造方法の例を説明するための図。

【図2】本発明の薄膜トランジスタと従来の薄膜トランジスタの平面構造を説明するための図。

【図3】本発明の薄膜トランジスタの構造の別の例を概略的に示す図。

【図4】本発明の薄膜トランジスタの構造のさらに別の例を概略的に示す図。

【図5】本発明の薄膜トランジスタの製造例を説明するための図(n-ch)。

【図6】本発明の薄膜トランジスタの製造例を説明するための図(n-ch)。

【図7】本発明の薄膜トランジスタの製造例を説明するための図(p-ch)。

【図8】本発明の薄膜トランジスタの製造例を説明するための図(p-ch)。

【図9】本発明の薄膜トランジスタの構造の別の例を説明するための図。

【図10】従来のLDD構造の薄膜トランジスタの製造例を説明するための図。

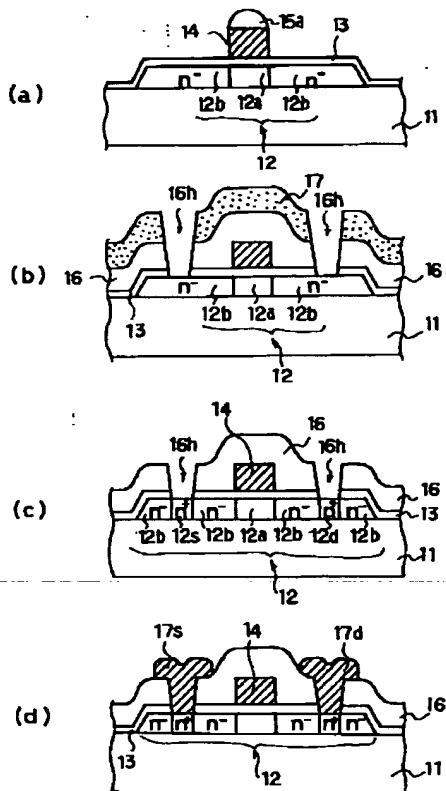
【符号の説明】

11.....基板

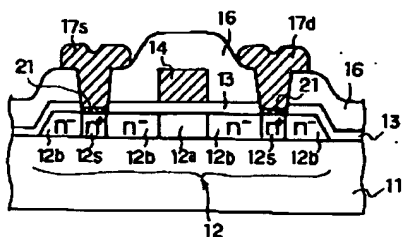
19

- 12.....半導体膜
 12a.....チャネル領域（第1の領域）
 12b.....LDD領域（第2の領域）
 12s.....ソース領域（第3の領域）
 12d.....ドレイン領域（第3の領域）
 12x.....ソース領域（第3の領域）
 12y.....ドレイン領域（第3の領域）
 13.....ゲート絶縁膜

【図1】



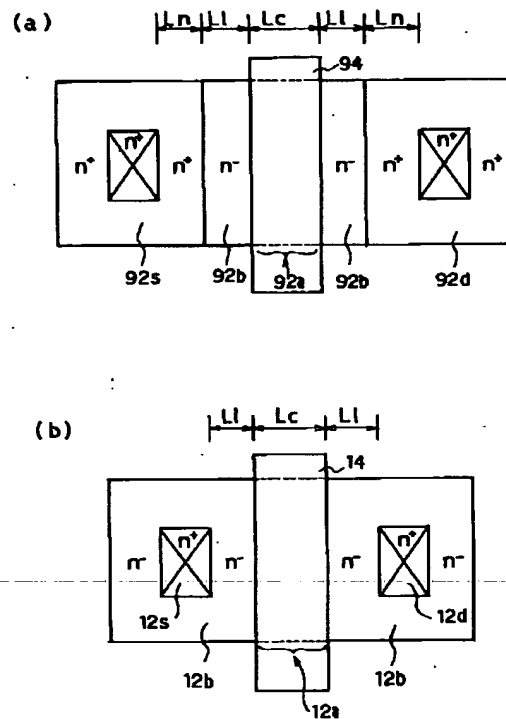
【図4】



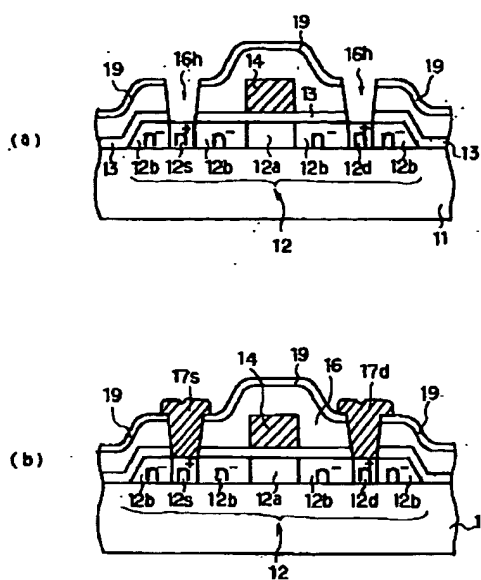
20

- 14.....ゲート電極
 15.....フォトリソ
 16.....層間絶縁膜
 16h.....コンタクトホール
 17s.....ソース電極
 17d.....ドレイン電極
 19.....トラップ層
 21.....シリサイド層

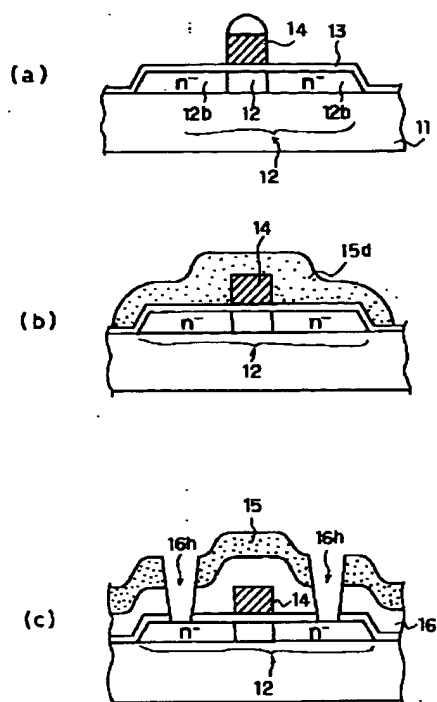
【図2】



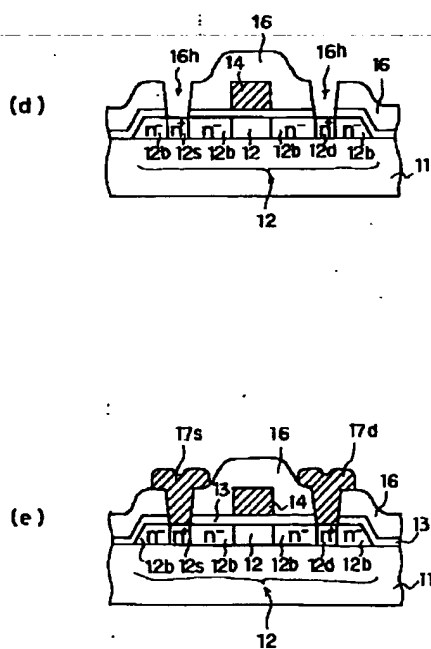
【図3】



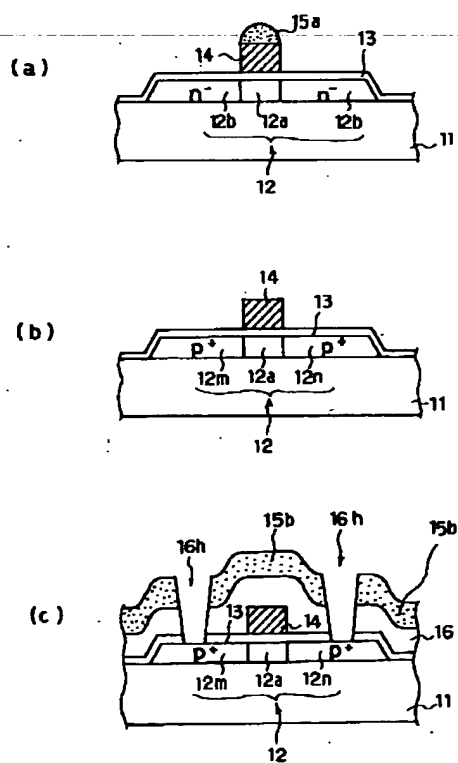
【図5】



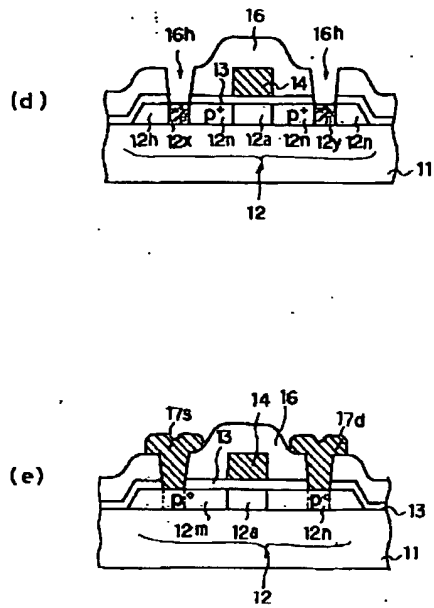
【図6】



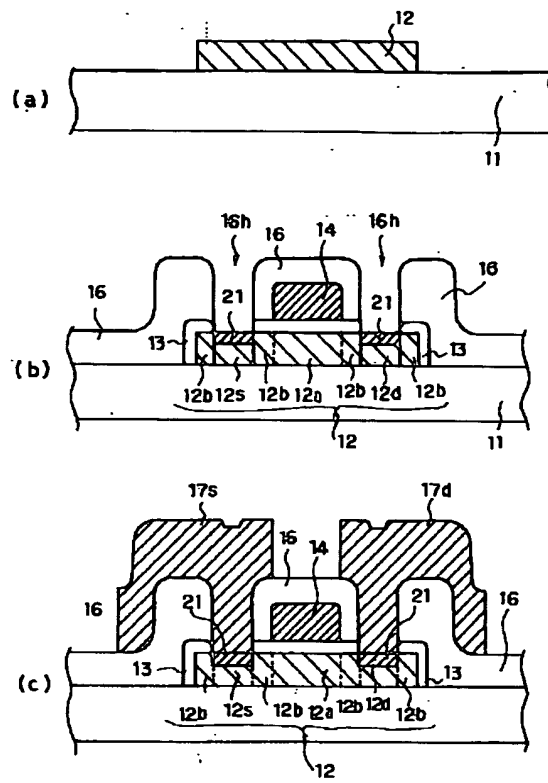
【図7】



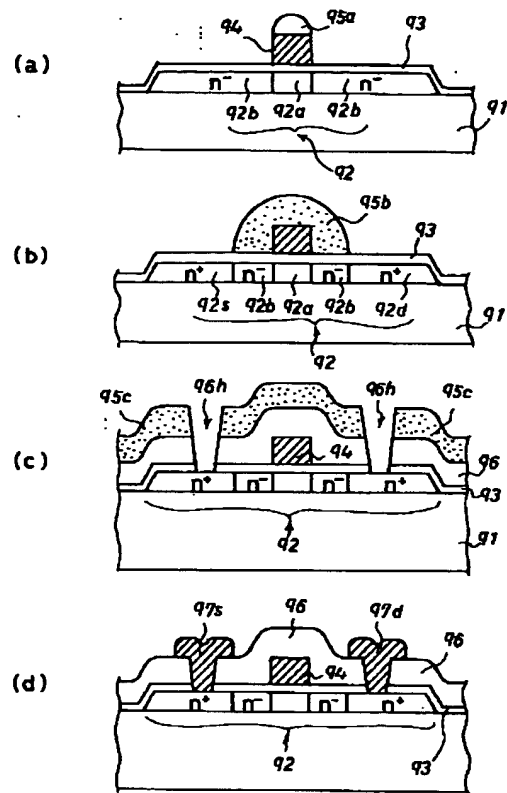
【図8】



【図9】



【図10】



CLIPPEDIMAGE= JP411111992A

PAT-NO: JP411111992A

DOCUMENT-IDENTIFIER: JP 11111992 A

TITLE: THIN-FILM TRANSISTOR, COMPLEMENTARY THIN-FILM
TRANSISTOR, AND METHOD OF
MANUFACTURING THE THIN-FILM TRANSISTOR

PUBN-DATE: April 23, 1999

INVENTOR-INFORMATION:

NAME

HARADA, NOZOMI

ASSIGNEE-INFORMATION:

NAME

TOSHIBA CORP

COUNTRY

N/A

APPL-NO: JP09267358

APPL-DATE: September 30, 1997

INT-CL (IPC): H01L029/786;H01L021/336

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a thin-film transistor which is suitable for high-integration, and has a structure for high productivity.

SOLUTION: This thin-film transistor comprises an intrinsic channel region 12a, an LDD region 12b which, added with impurities in a first concentration, is so provided as to sandwich the channel region 12a, a semiconductor film 12 comprising a source region 12s and a drain region 12d which, being a contact region, are provided in the LDD region 12b and added with impurities in a second concentration which is denser than the first one, a gate insulating film 13 is provided on the channel region 12a and the LDD region 12b of the semiconductor film 12, so as to have an opening part at the source region 12s and the drain region 12d a gate electrode 14 so arranged as to face opposite

the channel region 12a of the semiconductor film 12 via the gate insulating film 13, an inter-layer insulating film 16 so provided as to cover the gate electrode 14 and the gate insulating film 13 such that an opening part is equipped at the source region 12s and the drain region 12d of the semiconductor film 12, and a source/drain electrode 17s and a drain electrode 17d which is jointed to the source region 17s and the drain region 17d of the semiconductor film 12.

COPYRIGHT: (C)1999,JPO